

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2858404号

(45)発行日 平成11年(1999)2月17日

(24)登録日 平成10年(1998)12月4日

(51)Int.Cl.

H01L 29/78

識別記号

F I

H01L 29/78

652N

請求項の数6(全11頁)

(21)出願番号	特願平3-129382
(22)出願日	平成3年(1991)5月31日
(65)公開番号	特開平4-229661
(43)公開日	平成4年(1992)8月19日
審査請求日	平成8年(1996)11月8日
(31)優先権主張番号	特願平2-151353
(32)優先日	平2(1990)6月8日
(33)優先権主張国	日本(JP)

(73)特許権者	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(72)発明者	岡部直人 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(72)発明者	山本剛 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(72)発明者	加藤直人 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(74)代理人	弁理士 碓水裕彦
審査官	安田雅彦

最終頁に続く

(54)【発明の名称】絶縁ゲート型バイポーラトランジスタおよびその製造方法

1

(57)【特許請求の範囲】

【請求項1】 第1導電型の半導体基板と、この基板上に形成されるとともに、第1領域およびこの第1領域の縁端に位置する第2領域を有する第2導電型の半導体層と、この半導体層の前記第1領域表面の複数領域において、前記半導体層表面に接合が終端すべく形成された第1導電型のベース層と、

この複数あるベース層の各々を基本セルとして、この各基本セルのベース層表面に、該ベース層の接合の終端に沿って間隔を残して接合が終端するよう該ベース層内に形成された第2導電型のソース層と、

前記半導体層と前記ソース層との間の前記ベース層表面の前記間隔をチャネル領域として、少なくともこのチャネル領域上にゲート絶縁膜を介して形成されたゲート電

2

極と、

前記第2領域の前記半導体層表面上に絶縁膜を介して配置され、前記ゲート電極に電気的接続されるゲート金属電極と、

前記各基本セルにおいて、前記ベース層と前記ソース層との両方に接触部を有するソース電極とを備え、

前記半導体層の前記第2領域表面には、前記半導体層表面に接合が終端するとともに、前記半導体基板からこの第2領域の前記半導体層に流入された少数キャリアを前記ソース電極へ排出する第1導電型の少数キャリア抜き取り層が形成されており、

前記絶縁膜には、前記第2領域の前記第1領域との境界近傍において、前記ゲート金属電極と前記ゲート電極とを電気的接続するためのコンタクトホールと、前記少数キャリア抜き取り層と前記ソース電極とを電気的接続す

10

るためのコンタクトホールとが、交互に配置されていることを特徴とする絶縁ゲート型バイポーラトランジスタ。

【請求項2】 前記ゲート金属電極はゲートボンディングパッドであることを特徴とする請求項1に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項3】 前記ゲート金属電極はゲート電極引き回し金属であることを特徴とする請求項1に記載の絶縁ゲート型バイポーラトランジスタ。

【請求項4】 前記少数キャリア抜き取り層には、前記ソース電極と電気的接続するための前記コンタクトホールに対応した位置を含んだ表面領域を高不純物濃度にする第1導電型の高濃度領域が形成されていることを特徴とする請求項1乃至3のいずれかに記載の絶縁ゲート型バイポーラトランジスタ。

【請求項5】 一方の主面側に第2導電型の半導体層が形成された第1導電型の半導体基板を用意し、前記半導体層の第1領域およびこの第1領域の縁端に位置する第2領域において前記第1領域表面の複数領域と前記第2領域表面とに、前記半導体層表面に接合が終端し、かつ第1導電型のウエル層を形成する第1工程と、前記半導体層表面上において、少なくとも前記半導体層の前記第1領域表面に形成された複数のウエル層における接合の終端近傍に位置するとともに、前記第2領域表面に形成されたウエル層の前記第1領域との境界に沿って第1領域側から第2領域側へ向かって所定の長さだけ延在する延在部を繰り返して配置するパターンを有して、ゲート電極をゲート絶縁膜を介して形成する第2工程と、

前記第1領域において前記半導体層表面に接合が終端するように第1導電型のベース層を前記ゲート電極と自己整合的に形成し、このベース層を基本セルとして該基本セルの前記ベース層表面に、該ベース層の接合の終端に沿って間隔を残して接合が終端するように第2導電型のソース層を前記ゲート電極と自己整合的に形成する第3工程と、

前記基本セルの前記ベース層表面および前記第2領域のウエル層表面の各領域をさらに低抵抗とすべく第1導電型の不純物を高濃度に導入して高不純物濃度とする第4工程と、

前記第1領域上において前記基本セルの前記ベース層および前記ソース層の両方に開口する第1の開口部と、前記第2領域上において前記高不純物濃度とされたウエル層に開口する第2の開口部と、前記第2領域上において前記ゲート電極の延在部に開口する第3の開口部とを有する層間絶縁膜を、前記ゲート電極を介して前記半導体層表面上に形成する第5工程と、

前記第1領域上において前記第1の開口部を介して前記ベース層および前記ソース層の両方とに電気接続するとともに、前記第2領域上において前記第2の開口部を介

して前記高不純物濃度とされたウエル層と電気接続するソース電極と、前記第2領域上において前記第3の開口部を介して前記ゲート電極と電気接続するゲート金属電極とを、互いに電気的分離された状態で前記層間絶縁膜上に形成する第6工程とを含むことを特徴とする絶縁ゲート型バイポーラトランジスタの製造方法。

【請求項6】 前記第2の開口部と前記第3の開口部とを、前記第2領域の前記第1領域との境界に沿って前記第2領域のウエル層上に交互に配置されるように形成することを特徴とする請求項5記載の絶縁ゲート型バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は電力用スイッチング素子として用いられる絶縁ゲート型バイポーラトランジスタに関するものである。

【0002】

【従来の技術】 近年、電力用スイッチング素子として、絶縁ゲート型バイポーラトランジスタが報告されている。この素子はパワーMOSFETと類似の構造を成しているが、ドレン領域にソース層とは逆の導電型である半導体層を設けることにより、高抵抗層のドレン層に導電率変調をおこさせてオン抵抗を下げ、パワーMOSFETでは不可能であった高耐圧と低オン抵抗の両立を可能にしている。

【0003】 図25は、nチャネル型の絶縁ゲート型バイポーラトランジスタの模型的な要部縦断面図を示したものであり、主要な構成部はp⁺型ドレン層1、n⁻型ドレン層2、ゲート酸化膜3、ゲート電極4、p型ベース層5、n⁻型ソース層6、チャネル7、層間絶縁膜10、ソース電極14、ドレン電極16からなっている。

【0004】 ソース電極14に対し、ゲート電極4に一定のしきい値電圧以上の電圧を印加すると、ゲート電極4下のp型ベース層5の表面が反転して電子のチャネル7を形成し、このチャネル7を通って、n⁻型ソース層6からn⁻型ドレン層2に電子が流入する。流入した電子はn⁻型ドレン層2の電位を下げ、ドレン側のp⁺-n⁻接合を順バイアスする。この結果、p⁺型ドレン層1からn⁻型ドレン層2に少数キャリアである正孔が流入する。この正孔の注入によって、n⁻型ベース層2は導電率変調を受け、抵抗値が大幅に下がり、大電流を流すことが可能となる。

【0005】

【発明が解決しようとする課題】 しかしながら、この絶縁ゲート型バイポーラトランジスタでは素子を流れる電流密度が大きくなるとn⁻型ソース層6下のp型ベース層5内において横方向抵抗による電圧降下が大きくなり、n⁻型ソース層6とp型ベース層5との間の接合が順バイアスされてn⁻型ソース層6からp型ベース層5

に電子が流入し、 p^+ 型ドレイン層1、 n^- 型ドレイン層2、 p 型ベース層5および n^- 型ソース層6から構成される寄生サイリスタによりサイリスタ動作に入ってしまい、ゲート・ソース間バイアスを零にしても半導体素子の電流をオフすることができなくなるという所謂ラッチアップ現象が引き起こされる。そのため、ゲートにより制御できる電流値はこのラッチアップ現象により制限されてしまう（ラッチアップ電流の低下）。なお、このラッチアップ現象は素子をターンオフする際に、より発生しやすい。

【0006】また、絶縁ゲート型バイポーラトランジスタにおいて n^- 型ドレイン層2に注入された少数キャリアである正孔は、ゲート電極4に印加した電圧を零にしてチャネル7の電子の流れを止めても n^- 型ドレイン層2に蓄積されており、この正孔がソース電極14を介して排出されるか、あるいは電子との再結合により消滅するまでは電流が流れ続け、ターンオフ時間が長くなってしまう。そのため、絶縁ゲート型バイポーラトランジスタを電力用スイッチング素子として、例えばPWM（Pulse Width Modulation）方式のモータ制御等に採用する場合、電流のスイッチング周波数を高められなくなり、電力制御範囲が限られてしまうことになる。

【0007】これらラッチアップ現象および正孔蓄積によるターンオフ時間の増大は、絶縁ゲート型バイポーラトランジスタの繰り返し配置されたセルの縁端部等の特定の場所で発生しやすい。

【0008】以下、その理由を図26により説明する。図26にはセルの縁端部の一例として、ゲートボンディングパッド15a近傍の断面構造を示す。図26に示すように、各セルはピッチWcで繰り返し配列され、基本セル領域13においてソース電極14に流れ込む電流は、幅Wcの n^- 型ドレイン層2（領域2a）を流れるキャリアにより決定される。しかし、ゲートボンディングパッド15aに隣接する基本セル領域（縁端セル）12においてソース電極14に流れ込む電流は、幅Wc及び幅Wbからなる n^- 型ドレイン層2（領域2b）を流れるキャリアにより決定され、ゲートボンディングパッド15aから離れた基本セル領域13よりも電流密度が大きくなる。従って、ゲートボンディングパッド15aに隣接する基本セル領域12の p 型ベース層5を流れる電流による電圧降下は、ゲートボンディングパッド15aから離れた基本セル領域13よりも大きくなり、しかしてラッチアップ現象はこのゲートボンディングパッド15aに隣接する基本セル領域12において発生しやすくなり、これがラッチアップ電流低下の原因となる。

【0009】また、素子のターンオフ時には、図26の領域11と領域12では、領域2aより広い領域2bで蓄積された少数キャリア（正孔）が基本セル領域12のソース電極14から排出されることから、領域2aのみで蓄積された少数キャリアをソース電極14から排出す

る基本セル領域13に対し、スイッチングスピードが遅くなる原因となる。

【0010】なお、これらの現象はゲートボンディングパッド15a近傍に限らず、他のセル縁端部であるゲート電極引き回し領域、ソース電極パッド領域においても発生することが確認されている。

【0011】そこで、例えばUSP4631564号公報あるいは特開昭63-104480号公報において、ゲートボンディングパッド15aに隣接する縁端セル12を利用して、蓄積キャリアをソース電極14へ抜きとする構造が提案されている。図27にその構造を示す。

【0012】すなわち、図27に示すように、図26において縁端セル12にあたるP型ベース層5をゲートボンディングパッド15a下に設けられ該ゲートボンディングパッド15aを n^- 型ドレイン層2からシールドするための p^+ ウェル層（ p 型パッドウェル層）8と接続形成するようにして、パッド下に蓄積された正孔を p^+ 型ウェル層8を介して縁端セル12を利用して構成されたコンタクトホールからソース電極14へと抜きとるようしている。

【0013】しかしながら、近年、電力用スイッチング素子においてはそのオン抵抗をより低減するために、また大電流化を図るためにチャネル周囲長をより長く稼ぐようにセルを微細化し、同じチップ面積においてより多くのセルを構成することが、あるいは素子性能を維持したまま素子サイズを小型化するために、セルを微細化することが望まれている。

【0014】この要望により、今後セルの微細化はますます進むことが予想される。しかしながら、一方、問題となるパッド領域はワイヤボンディングのためにある程度の面積が要求されるため、このセルの微細化に伴い、セル面積に対するパッド領域面積は増加する傾向にある。その結果、図27に示す従来構造では結局新たに縁端セルとなった基本セル領域（領域1,3）においてラッチアップを発生しやすくなることとなり、また、ターンオフ時間の短縮もあり効果が期待できなくなるという問題がある。

【0015】本発明はこうした問題点に鑑みてなされたものであり、たとえセルの微細化が進んでも、ラッチアップ電流値の向上およびターンオフ時間の短縮を同時に実現することができる絶縁ゲート型バイポーラトランジスタとその製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記目的を達成するため構成された本発明による絶縁ゲート型バイポーラトランジスタは、第1導電型の半導体基板と、この基板上に形成されるとともに、第1領域およびこの第1領域の縁端に位置する第2領域を有する第2導電型の半導体層と、この半導体層の前記第1領域表面の複数領域において、前記半導体層表面に接合が終端すべく形成された第

1導電型のベース層と、この複数あるベース層の各々を基本セルとして、この各基本セルのベース層表面に、該ベース層の接合の終端に沿って間隔を残して接合が終端するように該ベース層内に形成された第2導電型のソース層と、前記半導体層と前記ソース層との間の前記ベース層表面の前記間隔をチャネル領域として、少なくともこのチャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記第2領域の前記半導体層表面上に絶縁膜を介して配置され、前記ゲート電極に電気的接続されるゲート金属電極と、前記各基本セルにおいて、前記ベース層と前記ソース層との両方に接触部を有するソース電極とを備え、前記半導体層の前記第2領域表面には、前記半導体層表面に接合が終端するとともに、前記半導体基板からこの第2領域の前記半導体層に流入された少数キャリアを前記ソース電極へ排出する第1導電型の少数キャリア抜き取り層が形成されており、前記絶縁膜には、前記第2領域の前記第1領域との境界近傍において、前記ゲート金属電極と前記ゲート電極とを電気的接続するためのコンタクトホールと、前記少数キャリア抜き取り層と前記ソース電極とを電気的接続するためのコンタクトホールとが、交互に配置されていることを特徴とするものであり、またその製造方法としては、一方の主面側に第2導電型の半導体層が形成された第1導電型の半導体基板を用意し、前記半導体層の第1領域およびこの第1領域の縁端に位置する第2領域において前記第1領域表面の複数領域と前記第2領域表面とに、前記半導体層表面に接合が終端し、かつ第1導電型のウエル層を形成する第1工程と、前記半導体層表面上において、少なくとも前記半導体層の前記第1領域表面に形成された複数のウエル層における接合の終端近傍に位置するとともに、前記第2領域表面に形成されたウエル層の前記第1領域との境界に沿って第1領域側から第2領域側へ向かって所定の長さだけ延在する延在部を繰り返して配置するパターンを有して、ゲート電極をゲート絶縁膜を介して形成する第2工程と、前記第1領域において前記半導体層表面に接合が終端するように第1導電型のベース層を前記ゲート電極と自己整合的に形成し、このベース層を基本セルとして該基本セルの前記ベース層表面に、該ベース層の接合の終端に沿って間隔を残して接合が終端するように第2導電型のソース層を前記ゲート電極と自己整合的に形成する第3工程と、前記基本セルの前記ベース層表面および前記第2領域のウエル層表面の各領域をさらに低抵抗とすべく第1導電型の不純物を高濃度に導入して高不純物濃度とする第4工程と、前記第1領域上において前記基本セルの前記ベース層および前記ソース層の両方に開口する第1の開口部と、前記第2領域上において前記高不純物濃度とされたウエル層に開口する第2の開口部と、前記第2領域上において前記ゲート電極の延在部に開口する第3の開口部とを有する層間絶縁膜を、前記ゲート電極を介して前記半導体層表

面上に形成する第5工程と、前記第1領域上において前記第1の開口部を介して前記ベース層および前記ソース層の両方に電気接続するとともに、前記第2領域上において前記第2の開口部を介して前記高不純物濃度とされたウエル層と電気接続するソース電極と、前記第2領域上において前記第3の開口部を介して前記ゲート電極と電気接続するゲート金属電極とを、互いに電気的分離された状態で前記層間絶縁膜上に形成する第6工程とを含むことを特徴としている。

【作用および効果】上記構成を有する本発明にかかる絶縁ゲート型バイポーラトランジスタは、基本セルが配された前記第1領域においては、各基本セルにおいて前記ゲート電極により駆動制御されると前記半導体層と前記ソース層との間の前記ベース層表面の前記間隔がチャネル領域として作用し、ソース電極から該チャネル領域を通ってキャリアが前記半導体層に流入する。これにより、前記半導体基板から少数キャリアが前記半導体層に流入され、前記半導体層が導電率変調を受けて素子が導通する。

【0018】この時、この第1領域の縁端に位置する前記半導体層の第2領域、即ちゲート金属電極が配置される領域の下方の半導体層にも少数キャリアが前記半導体基板から流入される。ここで該第2領域の半導体層の表面には第1導電型の少数キャリア抜き取り層が形成されており、該少数キャリア抜き取り層は絶縁膜に設けられたコンタクトホールを介してソース電極へと電気的接続されている。従って、半導体基板から第2領域に流入された少数キャリアは、該第2領域表面に形成された前記少数キャリア抜き取り層を通じて前記ソース電極へ排出される。なお、第2領域の前記第1領域との境界近傍において、ゲート金属電極とゲート電極とを電気的接続するコンタクトホールと、少数キャリア抜き取り層とソース電極とを電気的接続するコンタクトホールとを交互に配置するようとしているため、第2領域上においてゲート電極を配置しない領域を効率よく確保することが可能となる。従って、少数キャリア抜き取り層をソース電極へ電気的接続させる箇所を効率的に配置させることができ、第1領域縁端部に配置されたなどの基本セル近傍に対しても、少数キャリア抜き取り層による少数キャリア抜き取り作用が局所的に不均一になるのを抑制することが可能である。

【0019】従って、前記基本セルにおいて前記第1領域の縁端でかつ前記第2領域近傍に配された基本セルに、前記第2領域に流入した少数キャリアが流れ込んで電流密度を増大させることに起因したラッチアップ電流値の低下を防止できる。

【0020】また、素子のターンオフ時においては、素子駆動時に前記半導体基板から前記半導体層の第2領域に流入され、該第2領域に蓄積された少数キャリアは、

たとえセルが微細化されたとしても、やはり該第2領域表面に形成された低抵抗で第1導電型の前記少数キャリア抜き取り層を通してすばやく前記ソース電極へ排出される。

【0021】また、製造方法においては、そのゲート電極のパターンより第2領域上に実質ゲート電極は存在しない構成となるため、少数キャリア抜き取りとしてのウエル層（第2領域）はさらに高不純物濃度とすることが容易にできる。

【0022】また、この高濃度とする工程は、ベース層のコンタクト抵抗低下のための工程と同時にできるため、実質的にマスク工程が増大することはない。以上述べたように、本発明によれば、たとえセルの微細化が進んでも、ラッチアップ電流値の向上およびターンオフ時間の短縮を同時に実現できるという優れた効果が奏される。

【0023】

【実施例】以下、本発明を図に示す実施例に基づいて説明する。図1～3は、本発明第1実施例を適用した絶縁ゲート型バイポーラトランジスタのゲート電極パッド（ポンディングパッド15a）近傍の構造を示すものであり、図1はその表面パターン構造を示す模式的平面図、図2は図1におけるA-A断面図、図3は図1におけるB-B断面図である。なお、図25～27と対応する部分には同一符号が付してある。

【0024】以下、これを製造工程に従って詳細に説明する。まず、半導体基板であるp⁺型シリコン基板を用意し、これにエビタキシャル成長により低不純物濃度で比抵抗30 [Ω-cm] の半導体層であるn⁻型層を約1000 [μm] 形成する。これらのp⁺型シリコン基板およびn⁻型層により、図4に示すように、各々p⁺型ドレイン層1、n⁻型ドレイン層2が形成される。さらに、後工程においてシリコンウエハ表面が汚染されるのを防止すべく、表面に熱酸化膜（フィールド酸化膜）を形成する。次に、このn⁻型ドレイン層2の酸化膜表面に、通常のフォトリソグラフィにより、電極パッド領域およびp型ベース層形成予定領域に開口パターンを有するレジスト膜を形成し、このレジスト膜をマスクとしてボロンをイオン注入し、ドライブイン及びフィールド酸化することにより、図5に示すように、p⁺型ウエル5a、8aを選択的に形成する。次に、フォトエッチングによりフィールド酸化膜を部分的に選択エッチングした後に、図6に示すように、n⁻型ドレイン層2の表面を酸化してゲート酸化膜3を形成する。ここで、電極パッド領域のp⁺型ウエル8a上のフィールド酸化膜は、従来構造では残すようにしていたが、本実施例では全面除去するようしている。これは後工程でp⁺型ウエル8aに再度イオン注入を行うためである。

【0025】そして、ウエハ表面全面にゲート電極とする高濃度にドーピングされたポリシリコンを5000 Å

程度堆積し、図7の平面図に示すように、格子状でゲート電極パッド領域まで延在するパターンのゲート電極4を形成する。

【0026】ここで、ゲート電極4は、図7のA-A断面図を示す図8およびB-B断面図を示す図9に示すように、p⁺型ウエル8a端部において、p⁺型ウエル8a上に重なる延在部分がくし歯状のパターンをもって形成されており、p⁺型ウエル8a表面上にはこの延在部分を除いてポリシリコン膜は実質上堆積されていないことになる。

【0027】この後、図10に示すように、このゲート電極4をマスクとしてボロンをイオン注入してドライブインにより約3 [μm] 拡散して上述のp⁺型ウエル5a、8aとともにp型ベース層5、ゲート電極パッド下のp型パッドウエル8を形成する。

【0028】次いで、通常のフォトリソグラフィによりゲート電極4による窓において、各基本セルの中央部およびパッド領域全面を、n⁺型ソース層6形成予定位置のみに開口する形状にバーニングされたレジスト膜で覆い、このレジスト膜とゲート電極4とをマスクとしてリンのイオン注入を行い、レジスト除去後ドライブイン拡散を用いて、図11に示すように、n⁺型ソース層6を基本セル形成領域のみに形成する。

【0029】続いて、通常のフォトリソグラフィにより形成したレジストパターンをマスクとしてボロンのイオン注入を行い、レジスト除去後ドライブイン拡散することにより、図12に示すように、p型ベース層5とソース電極14とのコンタクト抵抗低下に寄与するコンタクト層としてのp⁺⁺型コンタクト層5bおよびp型パッドウエル層8の表面濃度を高濃度として抵抗低下に寄与するp⁺⁺型パッド層9を形成する。ここで、p⁺⁺型パッド層9は、シリコンウエハのパッド領域表面には従来構造のようにゲート電極4とポンディングパッドと接続するポリシリコン膜が全面に形成されていないため、実質上p型パッドウエル層8表面に全域にわたって形成することができる。

【0030】このようにして、p型ベース層5とn⁺型ソース層6がゲート電極4による共通のマスクにより位置決めされる、所謂DSA技術(Diffusion Self Alignment)によりチャネル7が形成される。その後、CVDによりPSG、BPSG等の酸化膜を堆積し、基本セル領域においてp型ベース層5(p⁺⁺型コンタクト層5b)およびn⁺型ソース層6の両方に開口するコンタクトホール10a、ゲート電極パッド領域下周端において歯状とされセル領域方向に延びたp⁺⁺型パッド層9の領域20に開口するコンタクトホール10b、およびゲート電極パッド領域下においてゲート電極パッド金属(ゲートポンディングパッド15a)とゲート電極4とを接続するためのコンタクトホール10cを有する層間絶縁膜10が形成される。図13にその表面パターンを

覆い、このレジスト膜とゲート電極4とをマスクとしてリンのイオン注入を行い、レジスト除去後ドライブイン拡散を用いて、図11に示すように、n⁺型ソース層6を基本セル形成領域のみに形成する。

【0029】続いて、通常のフォトリソグラフィにより形成したレジストパターンをマスクとしてボロンのイオン注入を行い、レジスト除去後ドライブイン拡散することにより、図12に示すように、p型ベース層5とソース電極14とのコンタクト抵抗低下に寄与するコンタクト層としてのp⁺⁺型コンタクト層5bおよびp型パッドウエル層8の表面濃度を高濃度として抵抗低下に寄与するp⁺⁺型パッド層9を形成する。ここで、p⁺⁺型パッド層9は、シリコンウエハのパッド領域表面には従来構造のようにゲート電極4とポンディングパッドと接続するポリシリコン膜が全面に形成されていないため、実質上p型パッドウエル層8表面に全域にわたって形成することができる。

【0030】このようにして、p型ベース層5とn⁺型ソース層6がゲート電極4による共通のマスクにより位置決めされる、所謂DSA技術(Diffusion Self Alignment)によりチャネル7が形成される。その後、CVDによりPSG、BPSG等の酸化膜を堆積し、基本セル領域においてp型ベース層5(p⁺⁺型コンタクト層5b)およびn⁺型ソース層6の両方に開口するコンタクトホール10a、ゲート電極パッド領域下周端において歯状とされセル領域方向に延びたp⁺⁺型パッド層9の領域20に開口するコンタクトホール10b、およびゲート電極パッド領域下においてゲート電極パッド金属(ゲートポンディングパッド15a)とゲート電極4とを接続するためのコンタクトホール10cを有する層間絶縁膜10が形成される。図13にその表面パターンを

覆い、このレジスト膜とゲート電極4とをマスクとしてリンのイオン注入を行い、レジスト除去後ドライブイン拡散を用いて、図11に示すように、n⁺型ソース層6を基本セル形成領域のみに形成する。

【0030】このようにして、p型ベース層5とn⁺型ソース層6がゲート電極4による共通のマスクにより位置決めされる、所謂DSA技術(Diffusion Self Alignment)によりチャネル7が形成される。その後、CVDによりPSG、BPSG等の酸化膜を堆積し、基本セル領域においてp型ベース層5(p⁺⁺型コンタクト層5b)およびn⁺型ソース層6の両方に開口するコンタクトホール10a、ゲート電極パッド領域下周端において歯状とされセル領域方向に延びたp⁺⁺型パッド層9の領域20に開口するコンタクトホール10b、およびゲート電極パッド領域下においてゲート電極パッド金属(ゲートポンディングパッド15a)とゲート電極4とを接続するためのコンタクトホール10cを有する層間絶縁膜10が形成される。図13にその表面パターンを

示す平面図、図14に図13のA-A断面図、図15に図13のB-B断面図を示す。

【0031】さらにアルミ膜の蒸着、バーニングにより、図16に示すようにウエハ表面にソース電極14、ゲート電極パッド（ゲートボンディングパッド15a）が形成される。このとき上述した各々のコンタクトホールを介して、図17、18に示すように、ソース電極14は基本セル領域においてp型ベース層5（p⁺⁺型コンタクト層5b）およびn⁻型ソース層6の両方に電気的接続されるとともに、図17に示すようにゲートボンディングパッド15a下周端のp⁺⁺型パッド層9の領域20において電気的接続される。また、ゲートボンディングパッド15aは、図18に示すように、ゲート電極4の延在部分において電気的接続される。

【0032】そして、最後に基板の裏面、すなわちp⁺型ドレイン層1の背面に金属膜の蒸着によりドレイン電極16を形成して、図1～3に示す絶縁ゲート型バイポーラトランジスタが製造される。

【0033】上記の如く製造された絶縁ゲート型バイポーラトランジスタには、図1～3に示すように、ゲートボンディングパッド15a下のp型パッドウェル層8に高不純物濃度で低抵抗とされたp⁺⁺型パッド層9が形成されており、さらにこのp⁺⁺型パッド層9が領域20においてコンタクトホール10bを介してソース電極14とオーミック接触している。従って、素子動作時にゲート電極パッド領域下部のp⁺型ドレイン層1よりn⁻型ドレイン層2に注入される正孔（少数キャリア）は、該ゲート電極パッド領域に近接する基本セル領域（縁端セル）12に流れ込む前に、p型パッドウェル層8、p⁺⁺型パッド層9、p⁺⁺型パッド層9の領域20およびコンタクトホール10bを介してソース電極14に抜き取られることになる。また、p⁺⁺型パッド層9は正孔にとって低抵抗の経路となるため、縁端セル12とゲートボンディングパッド15a下との境界領域30における正孔も領域20からソース電極14に抜き取られやすい。すなわち、縁端セル12への正孔の集中はなくなり、該縁端セル12でのラッチアップ現象発生によるラッチアップ電流値の低下は防止され、しかしてラッチアップ電流値の向上が実現できる。

【0034】また、ゲート・ターンオフ時にゲートボンディングパッド15a下部に蓄積された正孔は、上述のように素子動作時にp⁺⁺型パッド層9の領域20よりソース電極14に抜き取られているのに加えて、同じくこの低抵抗とされたp⁺⁺型パッド層9を通じて領域20よりすばやくソース電極14に流れるため、ターンオフ時間の短縮が実現できる。

【0035】また、p⁺⁺型パッド層9はp⁺⁺型コンタクト層5bと同時にゲート電極4とセルフアラインで形成されるため、マスク工程数の増加を併うこともなく、またゲートボンディングパッド15a近傍でのゲート電極

4のパターンを変更することにより、ゲートボンディングパッド15a下周端において櫛歯状とされたp⁺⁺型パッド層9の領域20に開口するコンタクトホール10bの開口面積は容易に増大させることができ、上述したコンタクトホール10bを介しての正孔抜き取り効果をさらに向上させることができる。

【0036】さらに、p⁺⁺型パッド層9はp型パッドウェル層8の実質上ほぼ全域にわたって形成することができ、基本セルのセル微細化に伴ってベースコンタクトの面積が小さくなつたとしても、パッド下に蓄積された正孔の抜き取り通路としてのp⁺⁺型パッド層9は従来構造より大幅に抵抗低下を図ることができる。

【0037】なお、図19に示すように、実際に、絶縁ゲート型バイポーラトランジスタのゲート電極パッド15は矩形状のボンディングパッド領域15aとこのボンディングパッド領域15aに接続する比較的細長い線形状のゲート金属電極引き回し領域15bを有しており、本発明はこのゲート金属電極引き回し領域15b近傍に適用することができる。なお、図19において14はソース電極、14aはソース電極ボンディング領域を示す。

【0038】次に、図20～22を用いて本発明を絶縁ゲート型バイポーラトランジスタのゲート金属電極引き回し領域15b近傍に適用する第2実施例について説明する。図20～22は絶縁ゲート型バイポーラトランジスタのゲート金属電極引き回し領域15b近傍の構造を示すものであり、図20はその表面パターン構造を示す模式的平面図、図21は図20におけるA-A断面図、図22は図20におけるB-B断面図である。なお、図1～3と対応する部分には同一符号が付してある。

【0039】上述した図4～18に示す製造方法において、p型パッドウェル層8を形成した工程で同様にしてゲート金属電極引き回し領域15b下にもp⁺型ウェル層8を形成し、さらに図12に示す工程において、その表面内に多くボロンをイオン注入することにより、ゲート金属電極引き回し領域15b下における正孔抜き取り経路として作用するp⁺⁺型パッド層9を形成する。そして、層間絶縁膜10にコンタクトホールを形成する工程において、コンタクトホール10d、10eを開口し、アルミ膜を蒸着、バーニングすることにより、コンタクトホール10d、10eを介してp⁺⁺型層9とソース電極14とを、またゲート電極4とゲート電極引き回し金属17とを各々電気的接続する。なお、ゲート電極引き回し金属17はアルミ膜のバーニングにより、ソース電極14、ゲートボンディングパッド15aと同時に形成される。

【0040】以上により図20～22に示す構造が製造され、上述したゲートボンディングパッド15a下に適用した場合と同様に、ゲート金属電極引き回し領域15b下における正孔がp⁺⁺型パッド層9を介してソース電

極14へ抜き取られることになり、しかして該ゲート金属電極引き回し領域15b近傍においても、上記第1実施例同様、ラッチアップ電流値の向上およびターンオフ時間の短縮が実現できることになる。

【0041】さらに、本発明は図19において絶縁ゲート型バイポーラトランジスタのソース電極パッド14a近傍に適用することもできる。図23～24には本発明を適用した絶縁ゲート型バイポーラトランジスタのソース電極パッド14a近傍の構造を示し、図23にその表面パターン構造を示す模式的平面図、図24に図23におけるA-A断面図を示す。なお、図1～3、図20～22と対応する部分には同一符号が付してある。

【0042】このものも上述した例と同様に、ソース電極パッド14a下のn⁻型ドレイン層2に注入された正孔は該ソース電極パッド14a下のp⁺⁺型パッド層9からパッド14a下の周辺に形成されたリング状のコンタクトホール10fを介してソース電極パッド14aに抜き取られる。従って、上述した如く、該ソース電極パッド14a近傍に配置されたセルにおいてラッチアップ電流値の向上およびターンオフ時間の短縮が実現できることになる。

【0043】また、上記第2実施例を絶縁ゲート型バイポーラトランジスタの最外周に形成されるガードリング領域とこのガードリング領域に隣接する縁端セルの境界領域に適用するようにしても良い。

【0044】なお、上述した実施例は図1～3、図20～22あるいは図23、24に示すように基本セル領域の各セルが四角形（格子状）セルで構成されたものに適用したものであったが、これに限らず、例えばストライプ状セルで構成されたもの、六角形セル等、種々のものに適用したものであってもよい。

【0045】また、セルサイズも任意に設定できるものであることは言うまでもなく、さらに、例えば図1における各セルの位置関係もx方向、y方向任意にシフトされた位置関係であっても同様な効果が得られるものである。

【0046】さらに、上述の絶縁ゲート型バイポーラトランジスタはnチャネル型のものであったが、半導体の型をn型とp型を各々の層に対して入れ換えた反対導電型のpチャネル型絶縁ゲート型バイポーラトランジスタに採用しても同様な効果が得られる。

【図面の簡単な説明】

【図1】本発明第1実施例を適用した絶縁ゲート型バイポーラトランジスタのゲートボンディングパッド15a近傍の構造を示すものであり、その表面パターン構造を示す模式的平面図である。

【図2】図1に示すものにおけるA-A断面図である。

【図3】図1に示すものにおけるB-B断面図である。

【図4】第1実施例の製造工程の説明に供する図である。

【図5】第1実施例の製造工程の説明に供する図である。

【図6】第1実施例の製造工程の説明に供する図である。

【図7】第1実施例の製造工程の説明に供する図である。

【図8】第1実施例の製造工程の説明に供する図である。

【図9】第1実施例の製造工程の説明に供する図である。

【図10】第1実施例の製造工程の説明に供する図である。

【図11】第1実施例の製造工程の説明に供する図である。

【図12】第1実施例の製造工程の説明に供する図である。

【図13】第1実施例の製造工程の説明に供する図である。

【図14】第1実施例の製造工程の説明に供する図である。

【図15】第1実施例の製造工程の説明に供する図である。

【図16】第1実施例の製造工程の説明に供する図である。

【図17】第1実施例の製造工程の説明に供する図である。

【図18】第1実施例の製造工程の説明に供する図である。

【図19】絶縁ゲート型バイポーラトランジスタの平面図である。

【図20】本発明を適用した絶縁ゲート型バイポーラトランジスタのゲート金属電極引き回し領域15b近傍の構造を示すものであり、その表面パターン構造を示す模式的平面図である。

【図21】図20に示すものにおけるA-A断面図である。

【図22】図20に示すものにおけるB-B断面図である。

【図23】本発明を適用した絶縁ゲート型バイポーラトランジスタのソース電極パッド近傍の構造を示すものであり、その表面パターン構造を示す模式的平面図である。

【図24】図23に示すものにおけるA-A断面図である。

【図25】絶縁ゲート型バイポーラトランジスタの基本的構造を示す縦断面図である。

【図26】図25に示す絶縁ゲート型バイポーラトランジスタのゲートボンディングパッド近傍の断面構造図である。

50 【図27】従来の正孔抜き取り構造を備えた絶縁ゲート

15

型バイポーラトランジスタのゲートボンディングパッド
近傍の断面構造図である。

【符号の説明】

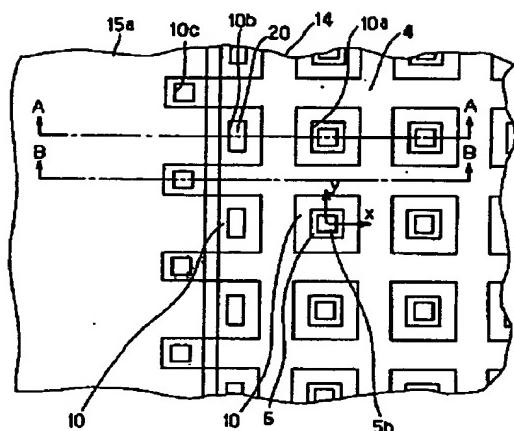
- 1 p⁺型ドレイン層
- 2 n⁻型ドレイン層
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 p型ベース層
- 6 n⁺型ソース層
- 7 チャネル領域
- 8 p型パッドウェル層

16

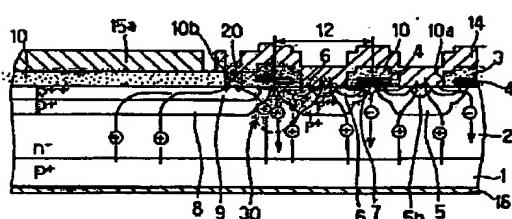
- * 9 少数キャリアの抜き取り層としてのp⁺⁺型パッド層
- 10 層間絶縁膜
- 10a～10f コンタクトホール
- 14 ソース電極
- 14a ソース電極パッド
- 15 ゲート電極パッド
- 15a ゲートボンディングパッド領域
- 15b ゲート金属電極引き回し領域
- 16 ドレイン電極
- 10 17 ゲート電極引き回し金属

*

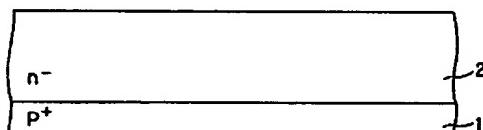
【図1】



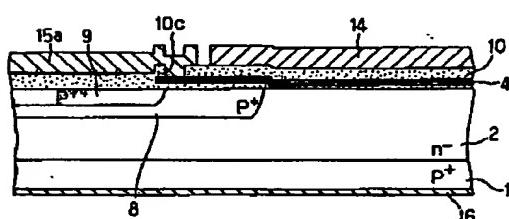
【図2】



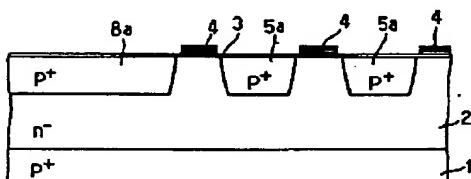
【図4】



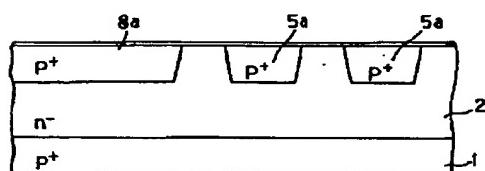
【図3】



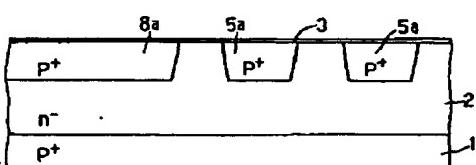
【図8】



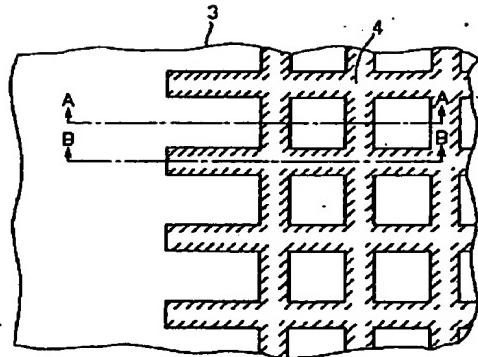
【図5】



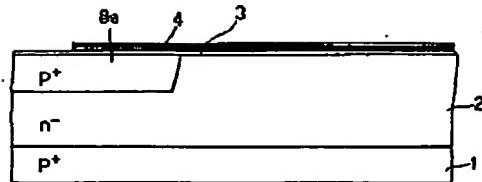
【図6】



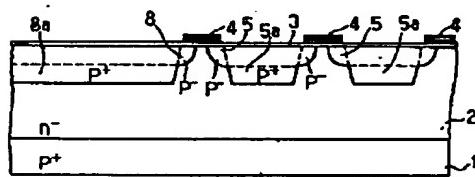
【図7】



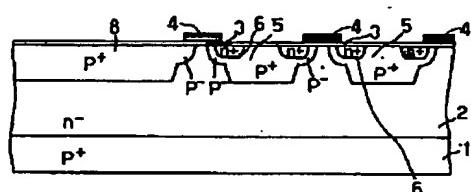
【図9】



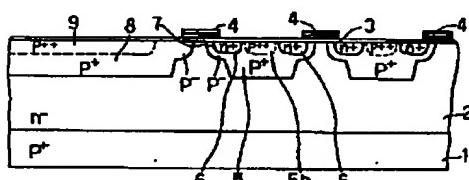
【図10】



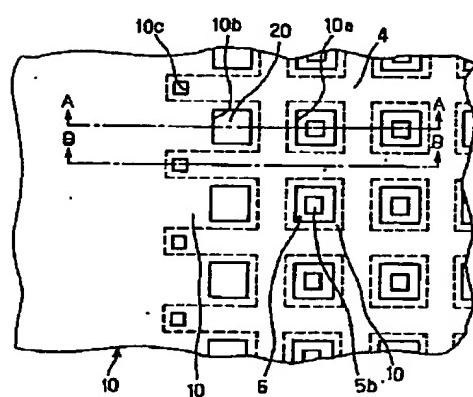
【図11】



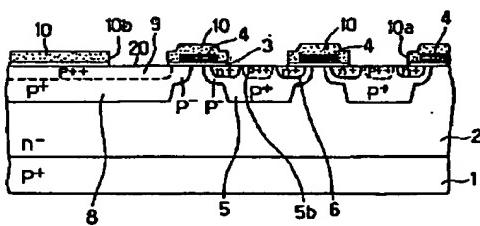
【図12】



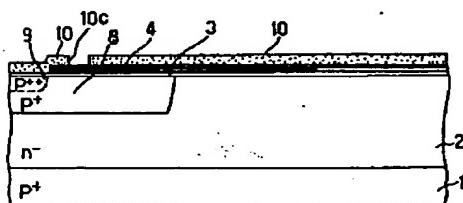
【図13】



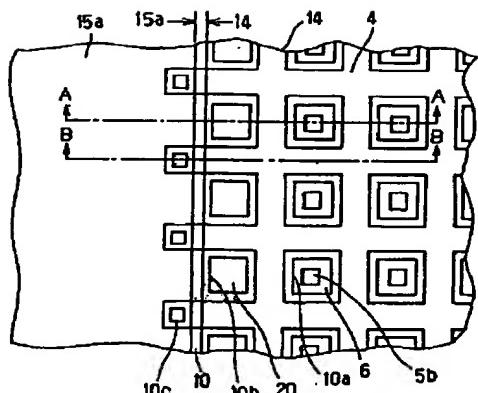
【図14】



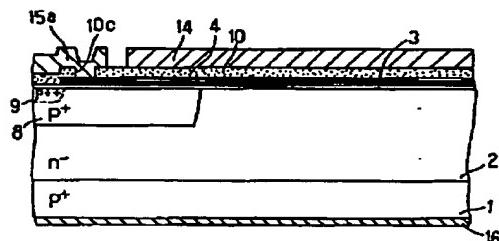
【図15】



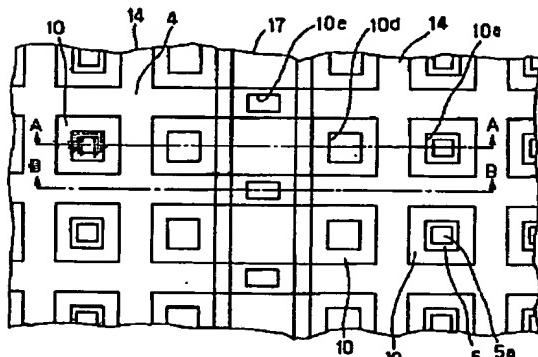
【図16】



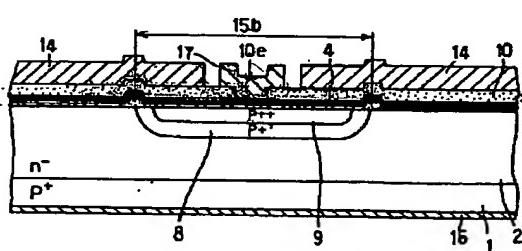
〔図18〕



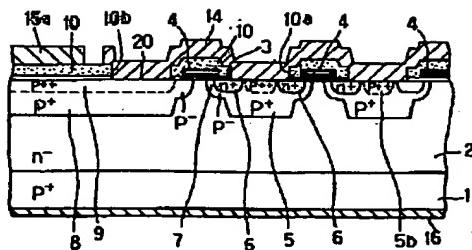
〔図20〕



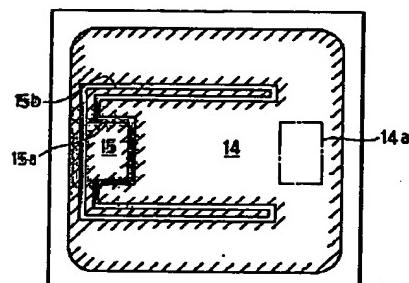
[図2.2]



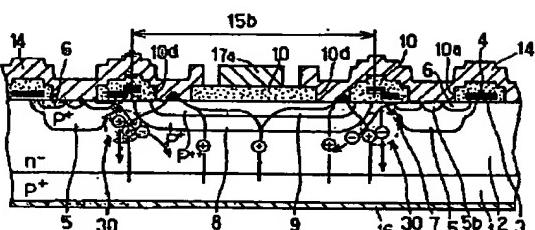
〔図17〕



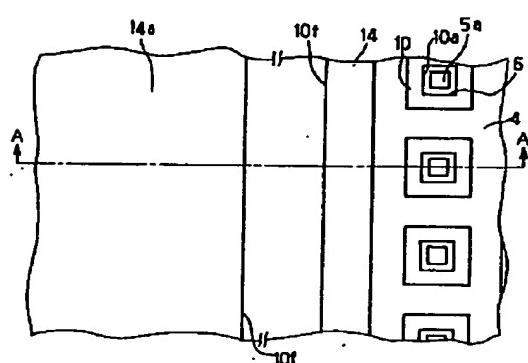
[图19]



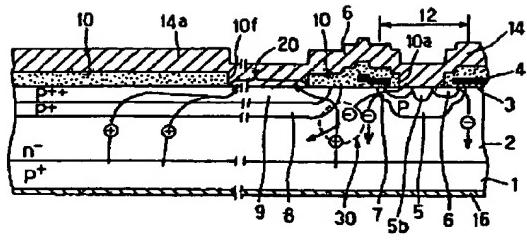
[図21]



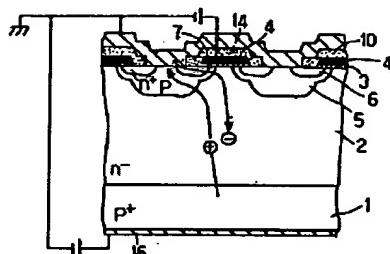
[図2.3]



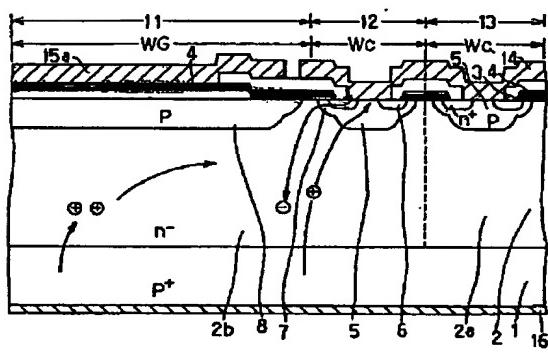
【図24】



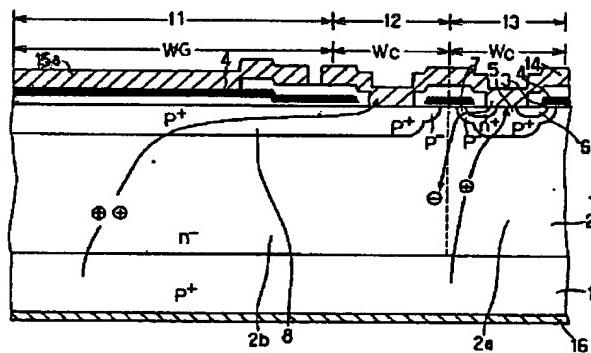
【図25】



【図26】



【図27】



フロントページの続き

(56)参考文献 特開 昭63-222460 (J P, A)
特開 昭63-84070 (J P, A)

(58)調査した分野(Int.CI.®, DB名)
H01L 29/78
H01L 21/336